

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-149091

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H04L 27/22

H03D 3/00

H03M 7/00

H04B 14/00

H04L 27/38

(21)Application number : 07-307822

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.11.1995

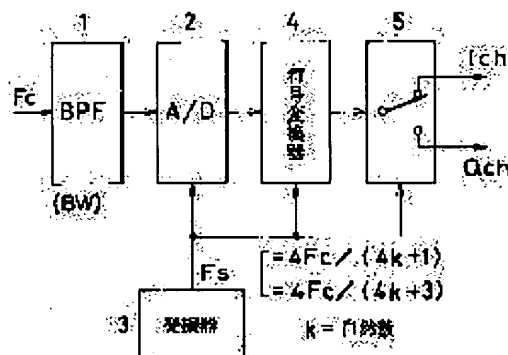
(72)Inventor : UCHIJIMA MAKOTO

(54) DEMODULATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale when an orthogonal modulation signal is demodulated by digital processing.

SOLUTION: The circuit is provided with a band pass filter 1 receiving an orthogonal modulation signal with a carrier frequency F_c , an A/D converter 2 converting an output signal of the band pass filter 1 into a digital signal, an oscillator 3 providing an output of a signal with a frequency F_s to provide the conversion timing of the A/D converter 2, a sign converter 4 converting a sign of the output signal of the A/D converter 2, and a changeover section 5 selecting the output signal of the sign converter 4 alternately into two systems of signals to provide outputs of demodulation signals I_{ch} , Q_{ch} of the orthogonal components. The relation between the carrier frequency F_c and the oscillated frequency F_s of the oscillator 3 is selected to be $F_s = 4F_c / (4k+1)$ or $F_s = 4F_c / (4k+3)$, where k is a natural number.



CIRCUITRY FOR DEMODULATION

LEGAL STATUS

[Date of request for examination]

18.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2005-02-22 14:09 2005

THIS PAGE BLANK (ISPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-149091

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 4 L 27/22			H 0 4 L 27/22	F
H 0 3 D 3/00			H 0 3 D 3/00	A
H 0 3 M 7/00		9382-5K	H 0 3 M 7/00	
H 0 4 B 14/00			H 0 4 B 14/00	E
H 0 4 L 27/38			H 0 4 L 27/00	G
審査請求 未請求 請求項の数7 O L (全 13 頁)				

(21)出願番号 特願平7-307822

(22)出願日 平成7年(1995)11月27日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 内島 誠

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

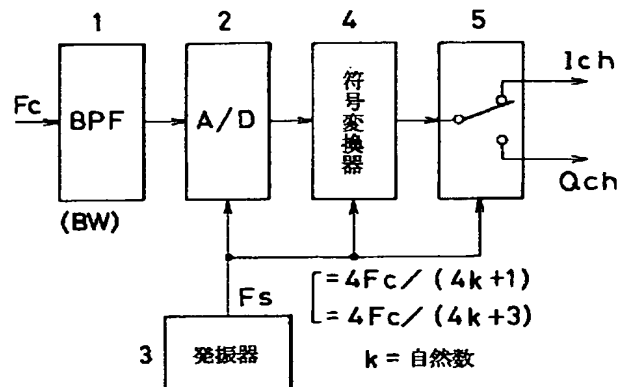
(54)【発明の名称】 復調回路

(57)【要約】

【課題】 直交変調信号をディジタル処理により復調する復調回路に関し、回路規模の縮小化を図る。

【解決手段】 搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタ1と、このバンドパスフィルタ1の出力信号をディジタル信号に変換するA/D変換器2と、このA/D変換器2の変換タイミングを与える為の周波数 F_s の信号を出力する発振器3と、A/D変換器2の出力信号の符号を変換する符号変換器4と、この符号変換器4の出力信号を交互に2系統の信号に切替えて、直交成分の復調信号 I_{ch} 、 Q_{ch} を出力する切替部5とを有し、搬送波周波数 F_c と発振器3の発振周波数 F_s とを、 $F_s = 4F_c / (4k+1)$ 又は $F_s = 4F_c / (4k+3)$ の関係に選定する。

本発明の第1の実施例の要部説明図



【特許請求の範囲】

【請求項1】 搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタと、
該バンドパスフィルタの出力信号をデジタル信号に変換するAD変換器と、
該AD変換器の変換タイミングを与える為の周波数 F_s の信号を出力する発振器と、
前記AD変換器の出力信号の符号を変換する符号変換器と、
該符号変換器の出力信号を交互に2系統の信号に切替えて、直交成分の復調信号を出力する切替部とを有し、
前記搬送波周波数 F_c と前記発振器の発振周波数 F_s とを、

$$F_s = 4F_c / (4k + 1) \quad (\text{但し、} k = \text{自然数})$$

又は

$$F_s = 4F_c / (4k + 3) \quad (\text{但し、} k = \text{自然数})$$

の關係に選定したことを特徴とする復調回路。

【請求項2】 前記AD変換器に前記切替部を接続し、該切替部により前記AD変換器の出力信号を交互に2系統の信号とし、該2系統の信号に対してそれぞれ符号変換する第1、第2の符号変換器を接続したことを特徴とする請求項1記載の復調回路。

【請求項3】 搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタと、
該バンドパスフィルタの出力信号を補数表現のデジタル信号に変換するAD変換器と、
該AD変換器の変換タイミングを与える為の周波数 F_s の信号を出力する発振器と、
前記AD変換器の補数表現の出力信号と前記発振器の出力信号を $1/4$ に分周した信号とを加えて符号を変換する排他的オア回路からなる符号変換器と、
該符号変換器の出力信号を前記発振器の出力信号を $1/2$ に分周した信号の立上りと立下りとのタイミングでそれぞれラッチする第1、第2のフリップフロップからなる切替部とを有し、
前記搬送波周波数 F_c と前記発振器の発振周波数 F_s とを、

$$F_s = 4F_c / (4k + 1) \quad (\text{但し、} k = \text{自然数})$$

の關係に選定したことを特徴とする復調回路。

【請求項4】 搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタと、
該バンドパスフィルタの出力信号を補数表現のデジタル信号に変換するAD変換器と、
該AD変換器の変換タイミングを与える為の周波数 F_s の信号を出力する発振器と、
該発振器の出力信号を $1/2$ に分周した信号の立上りと立下りとのタイミングで前記AD変換器の出力信号をそれぞれラッチする第1、第2のフリップフロップからなる切替部と、
該切替部の前記第1、第2のフリップフロップの出力信

号と、前記発振器の出力信号を $1/4$ に分周した信号とを加えて符号を変換する第1、第2の排他的オア回路からなる符号変換器とを有し、
前記搬送波周波数 F_c と前記発振器の発振周波数 F_s とを、

$$F_s = 4F_c / (4k + 1) \quad (\text{但し、} k = \text{自然数})$$

又は

$$F_s = 4F_c / (4k + 3) \quad (\text{但し、} k = \text{自然数})$$

の關係に選定したことを特徴とする復調回路。

【請求項5】 前記切替部により交互に切替えて出力された2系統の信号を加えるタップ係数可変型フィルタと、該タップ係数可変型フィルタを制御するタイミング制御部とを有し、該タイミング制御部は、前記AD変換器に於ける変換周期とビット周期との比に対応して前記タップ係数可変型フィルタのタップ係数及び出力タイミングを制御する構成を有することを特徴とする請求項1乃至4の何れか1項記載の復調回路。

【請求項6】 前記切替部により交互に切替えて出力された2系統の信号を加えるタップ係数可変型フィルタと、該タップ係数可変型フィルタを制御するタイミング制御部とを有し、該タイミング制御部は、前記AD変換器に於ける変換周期とビット周期との比に対応し、且つビットタイミング再生回路からのタイミング補正信号に従って、前記タップ係数可変型フィルタのタップ係数及び出力タイミングを制御する構成を有することを特徴とする請求項1乃至4の何れか1項記載の復調回路。

【請求項7】 それぞれ搬送波周波数を中心周波数とし、該中心周波数を切替えると共に、前記発振器の発振周波数 F_s と前記搬送波周波数 F_c とが、前記 $F_s = 4F_c / (4k + 1)$ 又は $F_s = 4F_c / (4k + 3)$ の關係を維持するように選定されたバンドパスフィルタを設けたことを特徴とする請求項1乃至6の何れか1項記載の復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交変調信号をデジタル処理により復調する復調回路に関する。直交位相変調信号や直交振幅変調信号等の直交変調信号を復調する方式は、例えば、受信直交変調信号の搬送波位相に同期した再生搬送波を電圧制御発振器を制御して発生させ、この再生搬送波により受信直交変調信号の検波を行う同期検波方式と、受信直交変調信号の搬送波周波数の信号を固定発振器から発生させて受信直交変調信号を検波する準同期検波方式とが知られている。このような同期検波方式及び準同期検波方式に於いては、アナログ回路により構成されているものである。

【0002】

【従来の技術】図15は従来例の説明図であり、準同期検波方式を適用した場合の要部を示し、101はバンドパスフィルタ(BPF)、102、103はミキサ、1

04、105はローパスフィルタ(LPF)、106、107はAD変換器(A/D)、108は $\pi/2$ のハイブリッド回路、109は入力信号周波数 F_c と同一の発振周波数の発振器、110は識別処理部、111は電圧制御発振器を示す。

【0003】周波数 F_c の直交変調信号がバンドパスフィルタ101を介してミキサ102、103に加えられる、又発振周波数 F_c の発振器109からの信号がハイブリッド回路108により $\pi/2$ の位相差の2系統の信号に分岐されてミキサ102、103にそれぞれ加えられてミキシングされ、その低域成分がローパスフィルタ104、105を介してAD変換器106、107に加えられて、電圧制御発振器111の出力信号のタイミングでAD変換されて識別処理部110に加えられ、IチャネルのデータI $_{ch}$ とQチャネルのデータQ $_{ch}$ とが出力される。又直交変調信号の搬送波位相と、発振器109の出力信号位相と差に対応して電圧制御発振器111を制御して、AD変換のタイミングを、ビットタイミングに合わせるように制御する。

【0004】又同期検波方式の場合は、発振器109を電圧制御発振器とし、例えば、識別処理部に於けるベースバンド処理によって位相誤差成分を求め、その位相誤差成分が零となる方向に電圧制御発振器の位相を制御し、ミキサ102、103に於いて同期検波し、位相変調成分を出力することになる。

【0005】

【発明が解決しようとする課題】従来例の復調回路に於いては、受信直交変調信号をバンドパスフィルタ101により不要帯域成分を除去した後、2系統に分岐し、又発振器109の出力信号もハイブリッド回路108により $\pi/2$ の位相差の2系統の信号に分岐し、それぞれミキサ102、103に加えてミキシングして低域成分をローパスフィルタ104、105を介して出力するもので、準同期検波方式に於いても又同期検波方式に於いても、AD変換器106、107より前段の回路構成は総てアナログ回路により構成されるものであるから、回路規模の縮小は困難であり、又各部の調整が容易でないと共に安定性の点で問題がある。又AD変換器106、107もI、Qチャネルの2系統に対応して必要とするものであった。

【0006】又準同期検波方式に於いては、固定の発振器109と共に、AD変換タイミングを制御する為の電圧制御発振器111を必要とするものであるから、回路構成が複雑となる問題がある。又2系統のAD変換器106、107を省略し得るように、バンドパスフィルタ101の後段にAD変換器を設け、それ以後はデジタル処理とすることが考えられる。しかし、直交変調信号の搬送波周波数が例えば50MHzであるとすると、少なくとも100MHzで受信直交変調信号をサンプリングしなければならず、このような高速動作のAD変換器

の実現が容易でなく、且つその後段のミキサ等に於いても100MHzで動作する必要があり、実現が困難である。本発明は比較的簡単な構成により、直交変調信号をデジタル処理で復調することを目的とする。

【0007】

【課題を解決するための手段】本発明の復調回路は、

(1)搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタ1と、このバンドパスフィルタ1の出力信号をデジタル信号に変換するAD変換器2と、このAD変換器2の変換タイミングを与える為の周波数 F_s の信号を出力する発振器3と、AD変換器の出力信号の符号を変換する符号変換器4と、この符号変換器4の出力信号を交互に2系統の信号を切替えて、直交成分の復調信号I $_{ch}$ 、Q $_{ch}$ を出力する切替部5とを有し、搬送波周波数 F_c と発振器3の発振周波数 F_s とを、 $F_s = 4F_c / (4k + 1)$ 又は $F_s = 4F_c / (4k + 3)$ (但し、 k =自然数)の関係に選定する。

【0008】(2)又AD変換器2に切替部5を接続し、この切替部5によりAD変換器2の出力信号を交互に2系統の信号とし、この2系統の信号に対してそれぞれ符号変換する第1、第2の符号変換器を接続することができる。

【0009】(3)又搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタ1と、このバンドパスフィルタ1の出力信号を補数表現のデジタル信号に変換するAD変換器2と、このAD変換器2の変換タイミングを与える為の周波数 F_s の信号を出力する発振器3と、AD変換器2の補数表現の出力信号と発振器3の出力信号を1/4に分周した信号とを加えて符号を変換する排他的オア回路からなる符号変換器4と、この符号変換器の出力信号を発振器3の出力信号を1/2に分周した信号の立上りと立下りとのタイミングでそれぞれラッチする第1、第2のフィルタからなる切替部5とを有し、搬送波周波数 F_c と発振器3の発振周波数 F_s とを、 $F_s = 4F_c / (4k + 1)$ の関係に選定することができる。

【0010】(4)又搬送波周波数 F_c の直交変調信号を入力するバンドパスフィルタ1と、このバンドパスフィルタ1の出力信号を補数表現のデジタル信号に変換するAD変換器2と、このAD変換器2の変換タイミングを与える為の周波数 F_s の信号を出力する発振器3と、この発振器の出力信号を1/2に分周した信号の立上りと立下りとのタイミングで前記AD変換器の出力信号をそれぞれラッチする第1、第2のフリップフロップとからなる切替部5と、この切替部5の第1、第2のフリップフロップの出力信号と、前記発振器3の出力信号を1/4に分周した信号とを加えて符号を変換する第1、第2の排他的オア回路からなる符号変換器4とを有し、搬送波周波数 F_c と発振器3の発振周波数 F_s とを、 $F_s = 4F_c / (4k + 1)$ 、又は、 $F_s = 4F_c$

／(4k+3) (但し、k=自然数) の関係に設定することができる。

【0011】(5) 又切替部5により交互に切替えて出力された2系統の信号を加えるタップ係数可変型フィルタと、このタップ係数可変型フィルタを制御するタイミング制御部とを有し、このタイミング制御部は、AD変換器に於ける変換周期とビット周期との比に対応してタップ係数可変型フィルタのタップ係数及び出力タイミングを制御する構成を有するものである。

【0012】(6) 又切替部5により交互に切替えて出力された2系統の信号を加えるタップ係数可変型フィルタと、このタップ係数可変型フィルタを制御するタイミング制御部とを有し、このタイミング制御部は、AD変換器に於ける変換周期とビット周期との比に対応し、且つビットタイミング再生回路からのタイミング補正信号に従って、タップ係数可変型フィルタのタップ係数及び出力タイミングを制御する構成を有するものである。 *

$$F_s = 4F_c / (4k+1)$$

又は

$$F_s = 4F_c / (4k+3)$$

に選定する。即ち、発振周波数 F_s は、直交変調信号の搬送波周波数 F_c より低く、且つ奇数比の関係とする。又 $2B_w < F_s$ とする。又 k は、発振周波数 F_s がシンボルレート $2B_w$ の2倍より低い周波数にならないように選定する。

【0016】この発振器3の出力信号を、AD変換器2に対してサンプリング・タイミング信号として加え、又符号変換器4に対して+、-の符号変換のタイミング信号として加え、又切替部5に対して切替制御信号として加える。従って、直交変調信号の搬送波周波数 F_c より低い周波数 F_s に従って1個のAD変換器2によって直*

$$\text{Re} \{ U(t) \exp \{ j(2\pi F_c \cdot t + \phi) \} \}$$

$$U(t) = I(t) + jQ(t)$$

と表すことができる。このような表現形式は既に良く知られている。なお、 Re は〔 〕内が実数部であることを示し、 ϕ は搬送波の位相差を示す。

【0018】本発明に於いては、前述のように、直交変調信号の搬送波周波数 F_c に対して奇数比の関係の発振周波数 F_s によるタイミングでサンプリングしてデジタル化するものであり、図2に於ける発振器3a、3bの発振周波数は、図1に於ける発振器3の発振周波数 F_s を、前述のように、 $F_s = 4F_c / (4k+1)$ に選定した場合であり、その発振器3を2分割しているから、 $f_s/2 = 2F_c/m$ と表すことができる。なお、★

$$(-1)^n \text{Re} \{ U \{ nm/2F_c \} \exp \{ nm\pi + \phi \} j \}$$

$$= \text{Re} \{ U \{ nm/2F_c \} \exp \{ n(m+1)\pi + \phi \} j \}$$

$$= \text{Re} \{ U \{ nm/2F_c \} \exp \{ \phi \} j \}$$

… (5)

となる。

【0020】又前述の(4)式に $t = nm/2F_c + m\star$

$$(-1)^n \text{Re} \{ U \{ nm/(2F_c) + 1/f_s \} \exp \{ nm\pi + m\pi/2 \}$$

*【0013】(7) 又それぞれ搬送波周波数を中心周波数とし、この中心周波数を切替えると共に、発振器の発振周波数 F_s と搬送波周波数 F_c とが、 $F_s = 4F_c / (4k+1)$ 又は $F_s = 4F_c / (4k+3)$ の関係を維持するように選定されたバンドパスフィルタを設けることができる。

【0014】

【実施の形態】図1は本発明の第1の実施例の要部説明図であり、1はバンドパスフィルタ(BPF)、2はAD変換器(A/D)、3は発振器、4は符号変換器、5は交互にIch、Qchに切替える切替部である。バンドパスフィルタ1は、直交変調信号の搬送波周波数 F_c を中心周波数とする帯域幅 B_w を有するもので、この場合の搬送波周波数 F_c は、受信周波数又は周波数変換された中間周波数とすることができる。

【0015】又発振器3の発振周波数 F_s は、自然数を k とすると、

$$\dots (1)$$

$$\dots (2)$$

※交変調信号をデジタル化し、切替部5から直交成分の復調信号Ich、Qchを出力することができる。

【0017】図2は本発明の第1の実施例の第1の等価回路であり、図1に於ける発振器3の発振周波数 F_s を、 $F_s = 4F_c / (4k+1)$ に選定した場合の等価回路を示す。同図に於いて、2a、2bはAD変換器(A/D)、3a、3bは発振器、4a、4bは符号変換器を示し、図1のAD変換器2と発振器3と符号変換器4とを2系統に分離した場合の等価回路であり、直交成分のIチャンネルのデータを $I(t)$ とし、Qチャンネルのデータを $Q(t)$ とすると、入力される直交変調信号は、

$$\dots (3)$$

$$\dots (4)$$

★ $m = 4k+1$ であり、 k は自然数であって、 m は奇数となる。又一方のAD変換器2aに於ける標本時刻は、 $n = 0, 1, 2, \dots$ とすると、 $nm/2F_c$ となり、又他方のAD変換器2bに於ける標本時刻は、これより $1/F_s = m/4F_c$ の時刻差を有する $nm/2F_c + m/4F_c$ となる。又符号変換器4a、4bに於いては、 $(-1)^n$ を乗算することにより、+1と-1とを交互に乗算して符号変換するものである。

【0019】従って、前述の(3)式に $t = nm/2F_c$ を代入し、且つ $(-1)^n$ を乗算すると、

☆ $/4F_c$ を代入し、且つ $(-1)^n$ を乗算すると、

7

8

$$\begin{aligned}
 & + \phi \} j \} \\
 & = \operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ n(m+1)\pi + \pi/2 + \\
 & \phi \} j \} \\
 & = \operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ \pi/2 + \phi \} j \} \\
 & \quad \dots (6)
 \end{aligned}$$

となる。

* (5), (6) 式から、

【0021】従って、復調信号 I_{ch} , Q_{ch} は、 *

$$\begin{aligned}
 I_{ch} &= \operatorname{Re} \{ U \{ nm / (2Fc) \} \exp \{ j(\phi) \} \} \\
 Q_{ch} &= \operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ j(\pi/2 + \phi) \} \}
 \end{aligned}$$

と表すことができる。

※生回路等に於いてレベル識別等によってデータが再生される。

【0022】即ち、符号変換器4a, 4bから $\pi/2$ の位相差の復調信号 I_{ch} , Q_{ch} を出力できることが判る。このように、直交変換信号を1個のAD変換器2により、直交変調信号の搬送波周波数 F_c の奇数分の1のサンプリング・タイミングでサンプリングしてデジタル信号に変換し、符号変換器2により正負の符号変換を行うことにより、デジタルの直交成分の復調信号 I_{ch} , Q_{ch} を得ることができる。これは、AD変換器2と符号変換器4と切替部5とにより直交検波回路を構成

【0023】図3は本発明の第1の実施例の第2の等価回路であり、図1に於ける発振器3の発振周波数 F_s を、 $F_s = 4Fc / (4k+3)$ に選定した場合の等価回路を示す。又図2と同一符号は同一部分を示し、 $m = 4k+3$ としたことにより、符号変換器4bには、 $(-1)^{m+1}$ を乗算することになる。

【0024】そして、前述の(3)式に $t = nm/2Fc$ を代入し、且つ $(-1)^m$ を乗算すると、(5)式が得られる。又前述の(4)式に $t = nm/2Fc + m/4Fc$ を代入し、且つ $(-1)^{m+1}$ を乗算すると、

$$\begin{aligned}
 & (-1)^{m+1} \operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ nm\pi + m\pi / \\
 & 2 + \phi \} j \} \\
 & = -\operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ n(m+1)\pi + 3\pi / \\
 & 2 + \phi \} j \} \\
 & = \operatorname{Re} \{ U \{ nm / (2Fc) + 1 / fs \} \exp \{ \pi/2 + \phi \} j \} \\
 & \quad \dots (7)
 \end{aligned}$$

となり、前述の(6)式と同様となる。そして、前述の(5), (6)式の関係と同様に、符号変換器4a, 4bから $\pi/2$ の位相差の復調信号 I_{ch} , Q_{ch} が得られることが判る。

【0025】図4は本発明の第2の実施例の要部説明図であり、図1と同一符号は同一部分を示し、第1, 第2の4-1, 4-2は符号変換器である。この実施例は、切替部5により交互に切替えた2系統の信号をそれぞれ加える第1, 第2の符号変換器4-1, 4-2を設けた場合を示し、又発振器3の発振周波数 F_s は、前述の実施例と同様に、 $F_s = 4Fc / (4k+1)$ 又は $F_s = 4Fc / (4k+3)$ に選定することができる。又符号変換器4-1, 4-2に於いては、図1に於ける場合に比較し、切替部5により交互に切替えたデジタル信号が入力されるから、低速で符号変換を行うことができる。この場合、2個の符号変換器4-1, 4-2を必要とするが、低速動作の構成で済むから、集積回路化も容易となり、又デジタル信号のビット数等によっては経済的な構成となる。

【0026】図5は本発明の第1の実施例のブロック図であり、図1に示す構成を具体的な構成とした場合を示し、11はバンドパスフィルタ(BPF)、12はAD

変換器(A/D)、13は発振器、14a~14dは符号変換器を構成する排他的オア回路(EOR)、15a, 15bは切替部を構成する第1, 第2のフリップフロップ(DFP)、16は分周器である。

【0027】発振器13の発振周波数 F_s は、前述のように、直交変調信号の搬送波周波数 F_c に対して、 $F_s = 4Fc / (4k+1)$ に選定した場合を示し、直交変調信号が帯域幅 B_w のバンドパスフィルタ11を介してAD変換器12に加えられ、発振器13からの周波数 F_s のタイミング信号によってサンプリングされ、4ビットの補数表現のデジタル信号に変換され、各ビットはそれぞれ排他的オア回路14a~14dに入力される。

【0028】又分周器16は、リセット信号 RST によりリセットされ、初期値の0がセットされて、発振器13からの周波数 F_s の信号を $1/4$ とした分周出力信号 f_a を排他的オア回路14a~14dに加え、又 $1/2$ とした分周出力信号 f_b をフリップフロップ15a, 15bのクロック端子 CK に加える。この一方のフリップフロップ15aは立上りセット、他方のフリップフロップ15bは立下りセットの場合を示し、排他的オア回路14a~14dの出力信号の4ビットをセットする。従って、符号変換器2を構成する排他的オア回路14a~

14 dの出力信号をフリップフロップ15 a, 15 bによって交互に切替えて出力することができる。

【0029】バンドパスフィルタ11を介した直交変調信号を周波数 F_s のタイミングでサンプリングして、AD変換器12から $a_1, a_2, a_3, a_4, a_5, a_6, a_7, a_8, \dots$ の補数表現のデジタル信号が順次出力されたとすると、排他的オア回路14 a~14 dに加える分周出力信号 f_a を“1”とすることにより、デジタル信号の符号を反転することができるから、周波数 F_s の信号を $1/4$ とした分周出力信号 f_a が“0”, “0”, “1”, “1”, “0”, “0”, “1”, \dots となるから、 $a_1, a_2, -a_3, -a_4, a_5, a_6, -a_7, -a_8, \dots$ のように符号交換を行うことができる。

【0030】そして、周波数 F_s の信号を $1/2$ にした分周出力信号 f_b により、フリップフロップ15 aには、 $a_1, -a_3, a_5, -a_7, \dots$ がラッチされて、Iチャンネルの復調信号 I_{ch} として出力され、フリップフロップ15 bには、 $a_2, -a_4, a_6, -a_8, \dots$ がラッチされて、Qチャンネルの復調信号 Q_{ch} として出力される。即ち、排他的オア回路14 a~14 dは、図2に於ける符号変換器4 a, 4 bにより $(-1)^n$ を乗算した場合と等価の構成を示すことになり、直交成分の復調信号 I_{ch}, Q_{ch} を得ることができる。なお、デジタル信号のビット数は、前述の4ビットより多くすることも勿論可能である。

【0031】図6は本発明の第2の実施例のブロック図であり、図4に示す構成を具体的な構成とした場合を示し、21はバンドパスフィルタ(BPF)、22はAD変換器(A/D)、23は発振器、24 a~24 fは第1、第2の符号変換器を構成する排他的オア回路(EOR)、25 a, 25 bは切替部を構成する第1、第2のフリップフロップ(DFP)、26は分周器、27はフリップフロップ(DFP)である。

【0032】フリップフロップ25 a, 25 bが図4の切替部5に相当し、排他的オア回路24 a~24 cが図4の第1の符号変換器4-1に、又排他的オア回路24 d~24 fが図4の第2の符号変換器4-2に相当する。又発振器23の発振周波数 F_s が、 $F_s = 4Fc / (4k+1)$ に選定された場合は、分周器26をリセット信号RSTでリセットして初期値0がセットされ、又 $F_s = 4Fc / (4k+3)$ に選定された場合、分周器26をリセット信号RSTでリセットして初期値1がセットされる。

【0033】又AD変換器22は、バンドパスフィルタ21を介した直交変調信号を、周波数 F_s でサンプリングして、3ビット構成の補数表現のデジタル信号に交換する場合を示し、この3ビット構成のデジタル信号を、フリップフロップ25 aでは、分周器26の $1/2$ の分周出力信号 f_b の立上りでセットし、フリップフロ

ップ25 bでは、立下りでセットすることにより、デジタル信号を交互に2系統に切替える。

【0034】又分周器26の $1/4$ の分周出力信号 f_a を排他的オア回路24 a~24 cに加え、又フリップフロップ27によりこの分周出力信号 f_a を $1/F_s$ 遅延させて排他的オア回路24 d~24 fに加えて、フリップフロップ25 a, 25 bの出力信号位相に合わせ、図2に於ける $(-1)^n$ を乗算する符号変換器4 a, 4 bと等価な動作によって、3ビット構成のデジタル信号を交互に符号変換を行うことができる。従って、排他的オア回路24 a~24 cから3ビット構成の復調信号 I_{ch} が出力され、又排他的オア回路24 d~24 fから3ビット構成の復調信号 Q_{ch} が出力される。

【0035】又 $F_s = 4Fc / (4k+3)$ に選定した場合は、分周器26のリセット信号RSTによりリセットされて初期値を1とするから、分周出力信号 f_a は、“0”, “1”, “1”, “0”, “0”, “1”, “1”, \dots となり、AD変換器22の出力信号を $a_1, a_2, a_3, a_4, a_5, a_6, a_7, a_8, \dots$ とすると、フリップフロップ25 a, 25 bにより切替えられて、 $a_1, a_3, a_5, a_7, \dots$ が排他的オア回路24 a~24 cに加えられ、又 $a_2, a_4, a_6, a_8, \dots$ が排他的オア回路24 d~24 fに加えられる。従って、符号変換された $a_1, -a_3, a_5, -a_7, \dots$ の復調信号 I_{ch} と、 $-a_2, a_4, -a_6, a_8, \dots$ の復調信号 Q_{ch} とが出力される。

【0036】従って、図3に示す場合と同様に、排他的オア回路24 a~24 cに於いては、 $(-1)^n$ の乗算を行うことと等価であり、又排他的オア回路24 d~24 fに於いては、 $(-1)^{n+1}$ の乗算を行うことと等価であって、それぞれ復調信号 I_{ch}, Q_{ch} を得ることができる。

【0037】図7は本発明の第3の実施例のブロック図であり、31はバンドパスフィルタ(BPF)、32はAD変換器(A/D)、33は発振器、34 a~34 dは符号変換器を構成する排他的オア回路(EOR)、35 a, 35 bは切替部を構成するフリップフロップ(DFP)、36は分周器、37は加算器である。この実施例は、2の補数表現を用いた場合を示し、且つ図1に示すように、符号変換器の後段にフリップフロップ35 a, 35 bからなる切替部を配置し、且つ発振器33の発振周波数 F_s を、直交変調信号の搬送波周波数 F_c に対して、 $F_s = 4Fc / (4k+3)$ に選定した場合を示す。

【0038】従って、分周器36は、リセット信号RSTによりリセットして、初期値1をセットするものであり、又フリップフロップ35 aは分周器36の $F_s/2$ の分周出力信号 f_b の立下りでセット、フリップフロップ35 bは分周出力信号 f_b の立上りでセットする構成

とし、又分周器36の $F_s/4$ の分周出力信号 f_a を排他的オア回路34a~34dの出力信号に加算器37に於いて加算し、5ビット構成のデジタル信号としてフリップフロップ35a、35bに加える。

【0039】従って、排他的オア回路34a~34dからなる符号変換器は、図3に示す場合と同様に、復調信号 I_{ch} 側のデジタル信号に対しては $(-1)^n$ を乗算して符号変換し、復調信号 Q_{ch} 側のデジタル信号に対しては $(-1)^{n+1}$ を乗算して符号変換するものと等価となり、フリップフロップ35a、35bによって交互に切替えて復調信号 I_{ch} 、 Q_{ch} とすることができ。

【0040】図8は本発明の第4の実施例の要部説明図であり、図1と同一符号は同一部分を示し、6a、6bはタップ係数可変型フィルタ(ADF)、7a、7bはタイミング制御部(TC)である。この実施例は、搬送波周波数 F_c の直交変調信号を $F_s = 4F_c / (4k+1)$ 又は $F_s = 4F_c / (4k+3)$ の関係の周波数 F_s によりAD変換器3によりサンプリングしてデジタル信号に変換し、符号変換器4により符号を変換し、切替部5により交互に切替えて出力されるデジタルの復調信号を、タップ係数可変型フィルタ6a、6bによって波形整形し、ビットタイミングに合わせた復調信号 I_{ch} 、 Q_{ch} を出力するものである。

【0041】搬送波周波数 F_c の直交変調信号をサンプリングしてデジタル信号に変換するタイミングは、ビットタイミングと異なるものであるが、ビット周波数 R_s とサンプリング周波数 $f_s = 4F_c / m$ との関係は予め判っており、ビット再生に必要なタイミングは $1/R_s$ の整数倍であるから、タイミング制御部7a、7bによってタップ係数可変型フィルタ6a、6bのタップ係数を制御し、識別タイミングに合わせた復調信号 I_{ch} 、 Q_{ch} を出力するものである。

【0042】図9はタップ係数可変型フィルタの説明図であり、図8のタップ係数可変型フィルタ6a、6bの一例を示し、41、~41、42、~42、はフリップフロップ、43、~43、は乗算器、44、~44、はタップ係数メモリ(ROM)、45は加算器である。又 D_{in} は切替部5により交互に切替えられて入力される入力デジタル信号、CLKは入力デジタル信号のタイミングを示すクロック信号、LTはフリップフロップ42、~42、に対するロードタイミング信号、TADはタップ係数メモリ44、~44、に対するタップ係数アドレス、Doutは復調信号 I_{ch} 、 Q_{ch} に相当する出力デジタル信号を示す。

【0043】タップ係数メモリ44、~44、はタップ係数を格納したリードオンリメモリにより構成され、タップ係数アドレスTADに従って読出されたタップ係数が乗算器43、~43、に加えられて、フリップフロップ42、~42、にラッチされたデジタル信号に乗算

されて、加算器45によって加算されて出力デジタル信号Doutとなる。このようなタップ係数可変型フィルタは、既に知られた各種の構成を適用できるものであり、又タップ数は更に多くすることができるものである。

【0044】図10は本発明の第4の実施例のタイミング制御部の説明図であり、図8のタイミング制御部7a、7bの構成を示す。同図に於いて、51は加算器、52は減算器、53はセクタ、54、56~58はフリップフロップ(DFP)、55は比較器、59はアンド回路(AND)、60はタップ係数メモリ(ROM)である。又フリップフロップのCKはクロック端子、Qは出力端子を示す。

【0045】タップ係数メモリ60は、図9のタップ係数可変型フィルタのタップ係数メモリ44、~44、に相当するもので、減算器52から図9のタップ係数アドレスTADが出力され、又フリップフロップ58から、図9の乗算器43、~43、に加えるタップ係数データTPDが出力される。又フリップフロップ56から図9のフリップフロップ42、~42、に加えるロードタイミング信号LTが出力される。又クロック信号CLKは図9のフリップフロップ41、~41、に加えるクロック信号CLKと同一である。又X、Yは、 $X:Y=1/R_s:2/f_s$ の關係に選定する。この場合、 $4F_c/m=f_s$ の關係のサンプリング周波数よりもビット周波数 R_x は低いものであるから、 $X>Y$ の關係となる。

【0046】又セクタ53はリセット信号*IRSTにより初期値を選択し、その後は加算器51の出力信号を選択してフリップフロップ54に加える。又減算器52は、フリップフロップ54の出力信号からアンド回路59の出力信号を減算する。又比較器55は、フリップフロップ54にラッチ出力信号とXとを比較し、ラッチ出力信号が大きくなると“1”を出力する。

【0047】セクタ53により加算器51の出力信号が選択され、その時に比較器55の出力信号が“0”であると、次のクロック信号CLKのタイミングでは、減算器52の出力信号はYであるから、加算器51の出力信号は $2Y$ となる。以下同様にして、クロック信号CLKのタイミング毎にYの累算が行われる。そして、比較器55により、 ΣY とXとの比較が行われ、 $\Sigma Y>X$ となると、比較出力信号が“1”となり、減算器52にはアンド回路59を介してXが加えられ、減算器52に於いては $\Sigma Y-X$ の減算が行われる。

【0048】又比較出力信号の“1”をクロック信号CLKのタイミングでフリップフロップ56にラッチして、図9のフリップフロップ42、~42、に加えるロードタイミング信号LTとし、フリップフロップ41、~41、により順次シフトして保持された入力デジタル信号 D_{in} がフリップフロップ42、~42、にラッチされる。又比較出力信号の“1”をフリップフロップ

57にラッチし、そのラッチ出力信号をフリップフロップ58のクロック端子CKに加え、減算器52の出力信号をアドレスとしてタップ係数メモリ60から読出したタップ係数データをラッチし、図9の乗算器43₁～43₃に加えるタップ係数データTPDとする。

【0049】又前述のセレクタ53に加える初期値は、Iチャンネル側とQチャンネル側において、 $Y/2$ だけずれた値とするものである。又OQPSK(Offset Quadrature Phase Shift Keying)の場合は、 $Y/2 + X/2$ だけずれた値とするものである。このような構成のタイミング制御部7a、7bによってタップ係数可変型フィルタ6a、6bを制御することにより、ビット周期($1/R_s$)に対応したタイミングのデジタルの復調信号Ich、Qchを出力することができる。

【0050】図11は本発明の第5の実施例の要部説明図であり、図8と同一符号は同一部分を示し、7A、7Bはタイミング制御部である。この実施例は、タップ係数可変型フィルタ6a、6bからの復調信号Ich、Qchの識別を行うと共にビットタイミングを再生するビットタイミング再生回路(図示せず)からタイミング補正信号BTをタイミング制御部7A、7Bに加えて、デジタルの復調信号Ich、Qchを識別タイミングに合わせるように制御するものである。

【0051】図12は本発明の第5の実施例のタイミング制御部の説明図であり、図10と同一符号は同一部分を示し、61は加算器である。この加算器61は、前述のXと、図示を省略したビットタイミング再生回路からのタイミング補正信号BTとを加算して、比較器55及びAND回路59に加えるものである。

【0052】ビットタイミング再生回路からのタイミング補正信号BTが、ビットタイミングを進める場合、 $-BT$ とし、加算器61により $X-BT$ を出力することにより、比較器55の比較出力信号が“1”となるタイミングが速くなり、それによって、タップ係数可変型フィルタ6a、6bに加えるロードタイミング信号LTが速くなる。反対に、タイミング補正信号BTを $+BT$ とし、加算器61により $X+BT$ を出力すると、比較器55の比較出力信号が“1”となるタイミングが遅くなり、それによって、タップ係数可変型フィルタ6a、6bに加えるロードタイミング信号LTが遅くなる。

【0053】従って、ロードタイミング信号LT及びタップ係数を制御することにより、ビット周期($1/R_s$)に対応した周期で且つビットを識別する為の最適タイミングとなるように制御したデジタルの復調信号Ich、Qchを出力することができる。

【0054】図13は本発明の第6の実施例の要部説明図であり、図1と同一符号は同一部分を示し、1Aは直交変調信号帯域をSwとした時、 $Sw < Bw$ の通過帯域Bwを有する中心周波数可変型バンドパスフィルタ、8は選択制御部である。

【0055】この実施例は、選択制御部8によってバンドパスフィルタ1Aの中心周波数を切替えることにより、受信周波数を切替えるもので、その場合に於いても、発振器3の発振周波数Fsが、受信直交変調信号の搬送波周波数Fcに対して、 $Fs = 4Fc / (4k + 1)$ 又は $Fs = 4Fc / (4k + 3)$ の關係に選定される状態であれば、前述の各実施例と同様に、AD変換器2によりデジタル信号に変換し、符号変換器4により符号変換し、切替部5により交互に切替えることにより、直交成分の復調信号Ich、Qchを得ることができる。又図4に示すように、AD変換器2により変換されたデジタル信号を切替部5により交互に切替えて2系統の信号とし、それぞれ符号変換器4-1、4-2により符号変換する場合にも適用できる。

【0056】図14は本発明の第6の実施例のチャンネル選択部の要部説明図であり、71₁～71₃は中心周波数がそれぞれ異なるバンドパスフィルタ(BPF1～BPF3)、72はセレクタ(SEL)、73はAD変換器(A/D)、74は発振器である。Fc1～Fc3の搬送波周波数の直交変調信号に対して、バンドパスフィルタ71₁～71₃は、それぞれ搬送波周波数Fc1～Fc3を中心周波数とし、且つ $Sw > Bw$ の帯域幅を有するものである。

【0057】選択信号によってセレクタ72を制御し、バンドパスフィルタ71₁～71₃をAD変換器73に対して選択接続することにより、チャンネル選択を行うことができる。即ち、図13に於ける中心周波数可変型バンドパスフィルタ1Aと選択制御部8とからなるチャンネル選択部に相当する構成である。その場合、発振器74の発振周波数Fsは、 $Fs = 4Fc / (4k + 1)$ 又は $Fs = 4Fc / (4k + 3)$ の關係を維持できるように、搬送波周波数Fc1～Fc3を選択することになる。

【0058】例えば、 $4(Fc1)/9$ 、 $4(Fc2)/17$ 、 $4(Fc3)/25$ の關係の搬送波周波数の場合、即ち、 $Fc1 = Fs9/4 = 2.25Fs$ 、 $Fc2 = Fs17/4 = 4.25Fs$ 、 $Fc3 = Fs25/4 = 6.25Fs$ の關係となり、発振器74の発振周波数Fsを固定とし、セレクタ72を制御することによって、搬送波周波数Fc1～Fc3の直交変調信号を選択して受信し、AD変換器73によってデジタル信号に変換し、前述の実施例と同様に符号変換してから交互に切替えるか、又は交互に切替えた後に、符号変換することにより、直交成分の復調信号を得ることができる。なお、前述の關係を更に延長して、 $Fc4 = Fs33/4$ 、 $Fc5 = Fs41/4$ 、のように選定することも可能である。

【0059】本発明は前述の各実施例にのみ限定されるものではなく、種々付加変更し得るものであり、例えば、発振器の発振周波数Fsを分周して所望のサンプリ

ング・タイミング信号とすることも可能であり、又符号変換器は、符号付き演算回路と同様な処理によって符号変換を行う構成とすることも可能である。

【0060】

【発明の効果】以上説明したように、本発明は、無線通信システムや有線通信システムに於ける受信信号又は周波数変換した中間周波信号の搬送波周波数 F_c に対して、発振器3の発振周波数 F_s を、 $F_s = 4F_c / (4k + 1)$ 又は $F_s = 4F_c / (4k + 3)$ の関係に選定し、この周波数 F_s によってA/D変換器2に於いてサンプリングしてデジタル信号に変換し、符号変換器4により符号変換して切替部5により2系統の信号に分配するか、又は切替部5により2系統の信号に分配してから符号変換器により符号変換することによって、直交成分の復調信号 I_{ch} 、 Q_{ch} を得ることができるものであり、バンドパスフィルタ1の後段は総てデジタル回路により構成することができる。

【0061】従って、動作の安定化を図ることができると共に集積回路化も容易となる。又A/D変換器2は1個で済み、且つ発振器3は固定発振器とすることができると共に、準同期検波方式のように、ビット周期の発振器を設ける必要がなく、従来例に比較して回路規模を著しく縮小することが可能となる利点がある。

【0062】又直交成分の復調信号をタップ係数可変型フィルタに加えて、サンプリング周期とビット周期との関係を補正して、識別誤りが生じないようなタイミングで復調信号 I_{ch} 、 Q_{ch} を出力できる利点がある。更に、ビットタイミング再生回路からのタイミング補正信号を利用すると、一層安定な復調回路を実現できる利点がある。又直交変調信号の搬送波周波数 F_c と発振器3の発振周波数 F_s とが、前述のように奇数比の関係を維*

*持できる場合は、バンドパスフィルタ1の中心周波数を切替えることにより、簡単にチャネル切替えの構成を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の要部説明図である。

【図2】本発明の第1の実施例の第1の等価回路である。

【図3】本発明の第1の実施例の第2の等価回路である。

10 【図4】本発明の第2の実施例の要部説明図である。

【図5】本発明の第1の実施例のブロック図である。

【図6】本発明の第2の実施例のブロック図である。

【図7】本発明の第3の実施例のブロック図である。

【図8】本発明の第4の実施例の要部説明図である。

【図9】タップ係数可変型フィルタの説明図である。

【図10】本発明の第4の実施例のタイミング制御部の説明図である。

【図11】本発明の第5の実施例の要部説明図である。

20 【図12】本発明の第5の実施例のタイミング制御部の説明図である。

【図13】本発明の第6の実施例の要部説明図である。

【図14】本発明の第6の実施例のチャネル選択部の説明図である。

【図15】従来例の説明図である。

【符号の説明】

1 バンドパスフィルタ (BPF)

2 A/D変換器 (A/D)

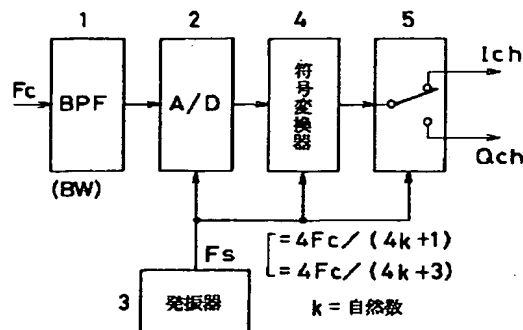
3 発振器

4 符号変換器

30 5 切替部

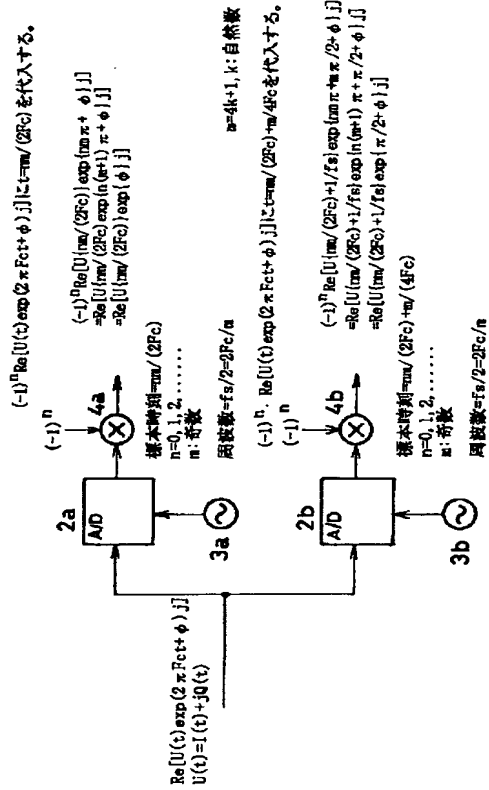
【図1】

本発明の第1の実施例の要部説明図



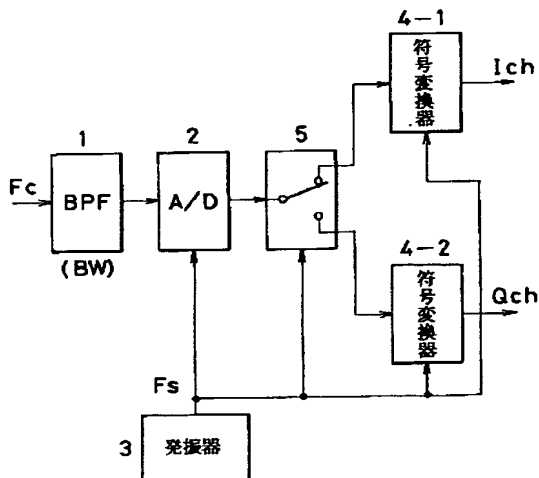
【図2】

本発明の第1の実施例の第1の等価回路



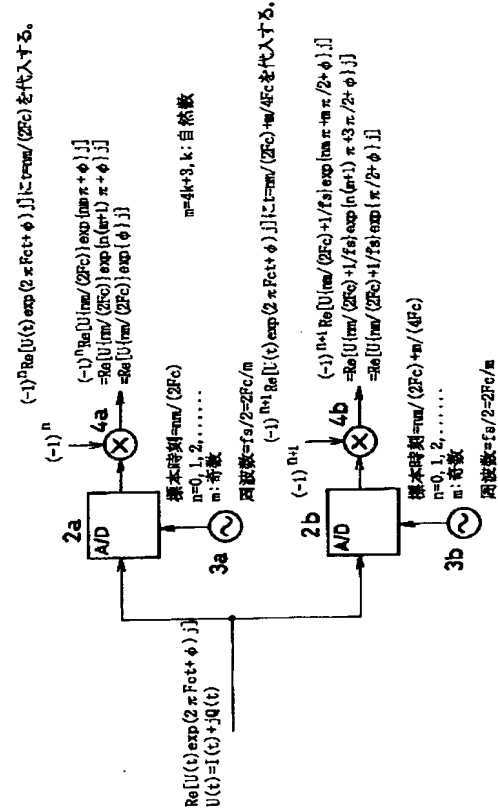
【図4】

本発明の第2の実施例の要部説明図



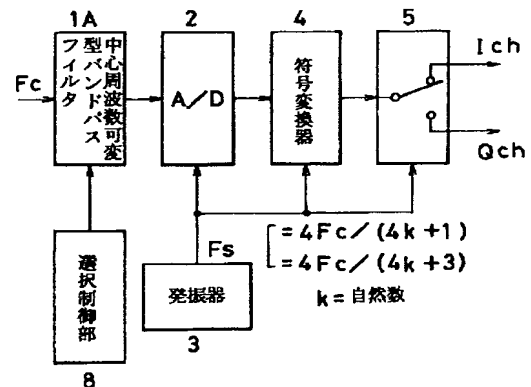
【図3】

本発明の第1の実施例の第2の等価回路



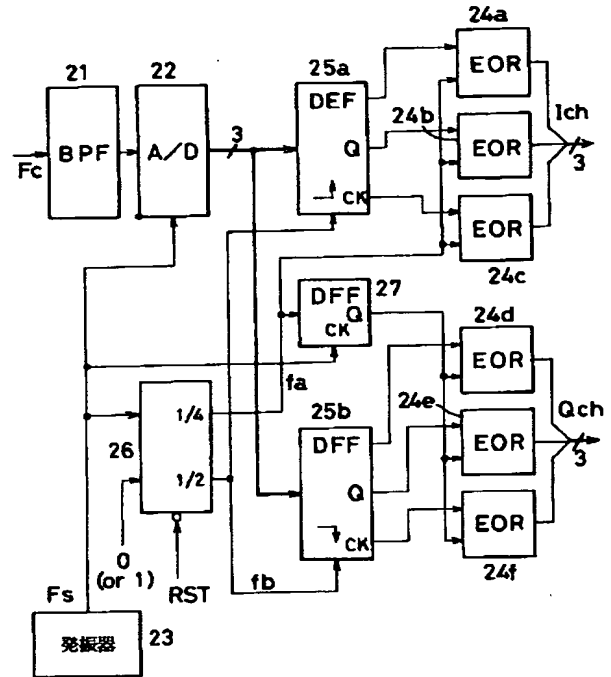
【図13】

本発明の第6の実施例の要部説明図



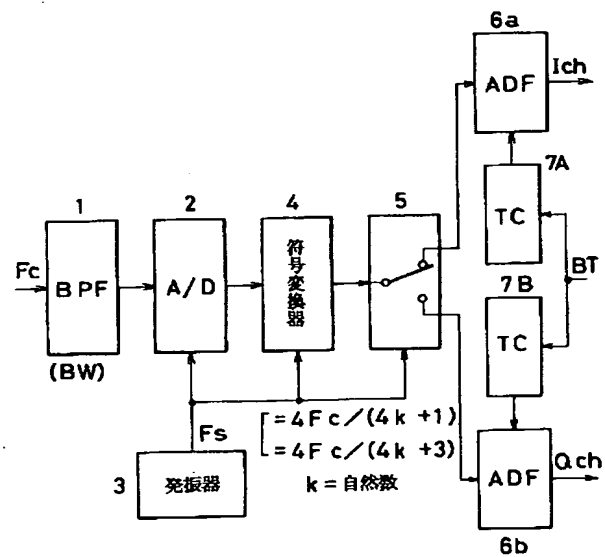
【図6】

本発明の第2の実施例のブロック図



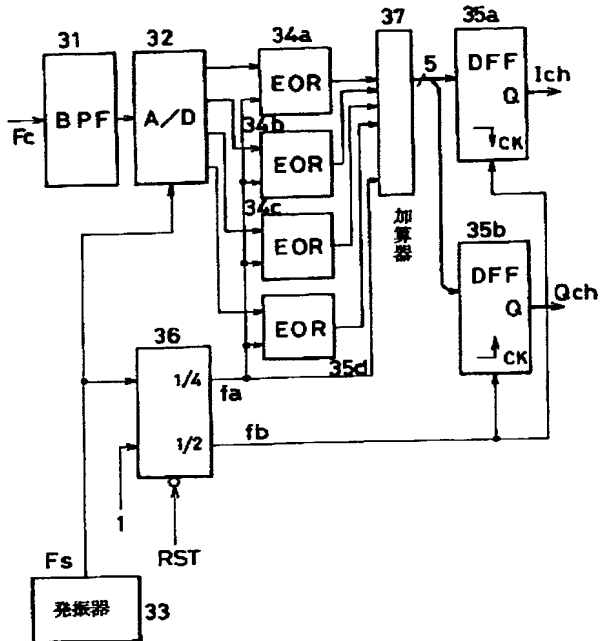
【圖 1 1】

本発明の第5の実施例の要部説明図



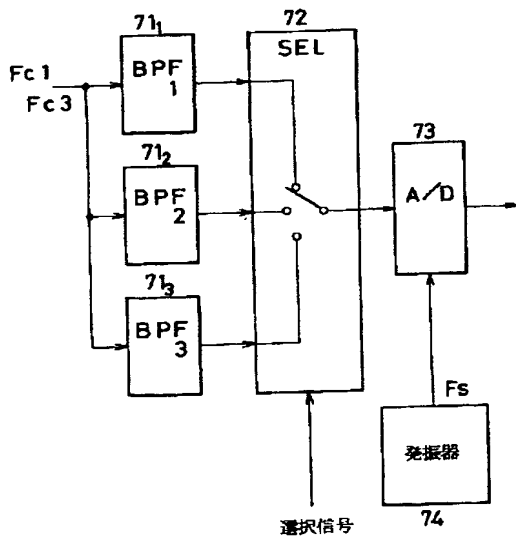
【圖 7】

本発明の第3の実施例のブロック図



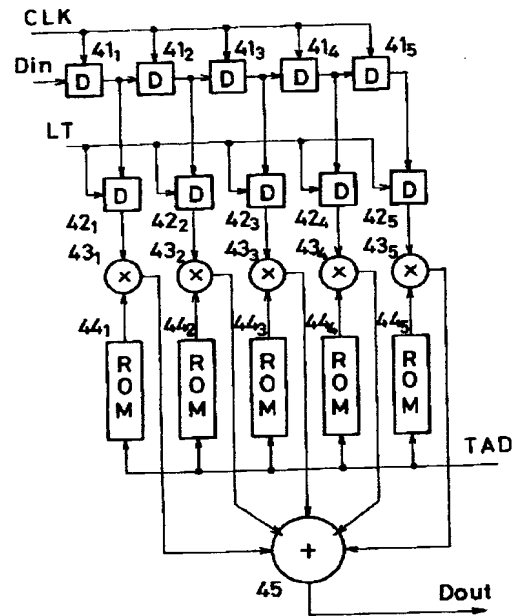
【圖 14】

本発明の第6の実施例のチャネル選択部の要部説明図



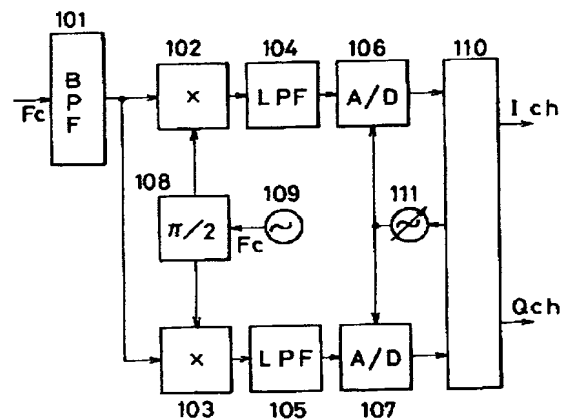
【圖9】

タップ係数可変型フィルタの説明図



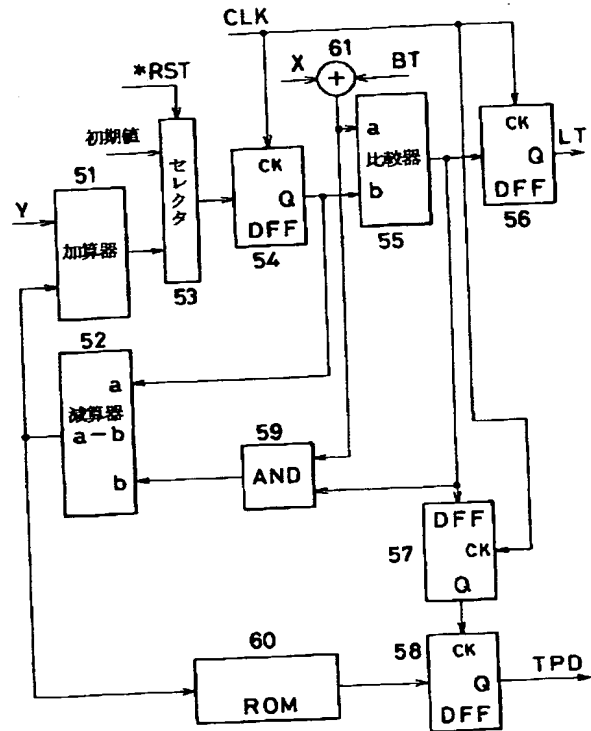
【図 15】

従来例の説明図



【圖 12】

本発明の第5の実施例のタイミング制御部の説明図



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)